

Family list4 family members for: **CN86103174**

Derived from 3 applications

- 1 SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING SAME**
Inventor: **Applicant:**
EC: H01L23/528C **IPC:** H01L21/3213; H01L23/528; H01L21/02 (+4)
Publication info: **CN86103174 A** - 1986-11-19
- 2 Semiconductor device having a multi-layered wiring.**
Inventor: KOIKE ATSUYOSHI (JP); MEGURO SATOSHI (JP); (+2) **Applicant:** HITACHI LTD (JP)
EC: H01L23/528C **IPC:** H01L21/3213; H01L23/528; H01L21/02 (+2)
Publication info: **EP0206481 A2** - 1986-12-30
EP0206481 A3 - 1987-08-26
- 3 SEMICONDUCTOR DEVICE**
Inventor: KOIKE ATSUYOSHI; MEGURO SATOSHI; (+2) **Applicant:** HITACHI LTD
EC: H01L23/528C **IPC:** H01L21/3213; H01L23/528; H01L21/02 (+2)
Publication info: **JP61263137 A** - 1986-11-21

Data supplied from the **esp@cenet** database - Worldwide

SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING SAME**Patent number:** CN86103174**Publication date:** 1986-11-19**Inventor:****Applicant:****Classification:****- international:** *H01L21/3213; H01L23/528; H01L21/02; H01L23/52;*
(IPC1-7): H01L27/02; H01L29/72; H01L29/76**- european:** H01L23/528C**Application number:** CN19861003174 19860507**Priority number(s):** JP19850095485 19850507**Also published as:**

EP0206481 (A:

JP61263137 (A

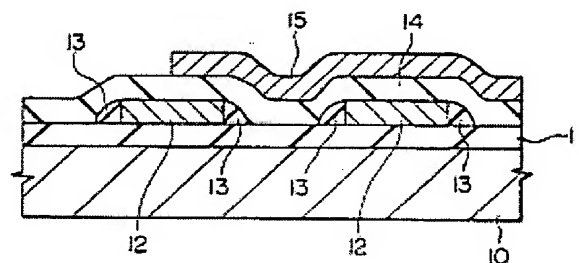
EP0206481 (A:

Report a data error he

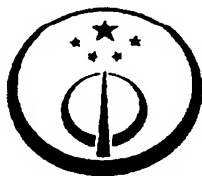
Abstract not available for CN86103174

Abstract of correspondent: **EP0206481**

A semiconductor device has sidewall parts (13) made of an insulating material on the sides of a lower metal wiring layer (12). The surface slope shape of the sidewall parts (13) is utilized in order to smooth out the step at the sides of the lower metal wiring layer (12). Thus it becomes possible to prevent breakages at the step in an upper metal wiring layer (15), formed on an insulating layer (14) covering the lower wiring layer (12) and the sidewall parts (13). It is also then possible to eliminate etching "remainder" and hillocks in the lower wiring layer (12). Thus a multi-layered wiring structure having high reliability can be obtained.

FIG. 1Data supplied from the **esp@cenet** database - Worldwide

[19]中华人民共和国专利局



[12] 发明专利申请公开说明书

[11] CN 86 1 03174 A

[51] Int. Cl.⁴

H01L 27/02

H01L 29/72

H01L 29/76

H01L 21/02

H01L 21/70

H01L 21/28

[43] 公开日 1986年11月19日

[21] 申请号 86 1 03174

[22] 申请日 86.5.7

[30] 优先权

[32] 85.5.7 [33] 日本 [31] 95485/85

[71] 申请人 株式会社日立制作所

地址 日本东京都

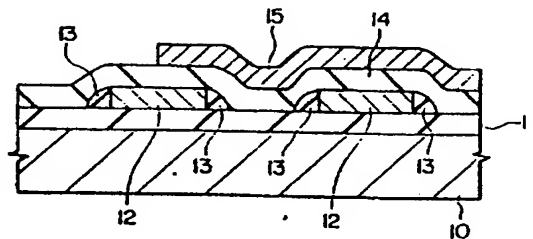
[72] 发明人 小池淳义 目黑怜 池田修二
竹田敏文

[74] 专利代理机构 中国国际贸易促进委员会专利
代理部
代理人 王以平

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

本发明的多层布线半导体器件,是在下层金属布线层的侧面形成绝缘材料构成的侧墙,利用该侧墙表面的斜坡形状得以使下层金属布线层侧面的台阶突变趋于缓和,由此结构可以防止上层金属布线层的断裂及蚀刻不干净,防止下层金属布线层出现异常折出小丘,从而获得高可靠性的多层布线构造。



242/8604882/24

CN 86 1 03174 A

权 利 要 求 书

1. 多层布线半导体器件，其特征为具有半导体器件形成于其上的衬底，由与上述衬底不同的材料加工成形的，用于在电气上连通设置在上述衬底上的半导体器件的下层布线膜、设置在下层布线膜两侧壁的侧墙，在上述下层布线膜上隔着层间绝缘膜而设置的上层布线膜。

2. 在权利要求 1 中，侧墙由绝缘材料构成。

3. 在权利要求 1 中，侧墙由氮化硅材料构成。

4. 在权利要求 1 中，下层布线膜由以铝为主要成份的布线材料构成。

5. 在权利要求 1 中，衬底上形成的半导体器件中至少包含有 M O S 场效应晶体管。

6. 在权利要求 1 中，衬底上形成的半导体器件中，至少包含有 C M O S 集成电路。

7. 在权利要求 1 中，衬底上形成的半导体器件中，至少包含有双极型晶体管。

8. 多层布线的半导体器件其特征是具有下层金属布线膜，在下层金属布线膜的侧壁设置的侧墙，以及隔着层间绝缘膜设置在下层金属布线膜之上的布线膜。

9. 在权利要求 8 中，侧墙由绝缘材料构成。

10. 在权利要求 8 中，侧墙由氮化硅材料构成。

11. 在权利要求 8 中，下层布线膜由以铝为主要成分的布线材料构成。

12. 在具有 P N 结的半导体衬底上形成多层布线的半导体器件

的制造方法，其特征在于：

形成金属布线膜的工序；

在上述金属布线膜的侧壁形成侧墙的工序；

在上述金属布线膜及侧墙整个表面形成层间绝缘膜的工序；

在上述层间绝缘膜上形成引线孔的工序；

在上述具有引线孔的层间绝缘膜上形成布线膜的工序。

1 3. 在权利要求 1 2 中，金属布线膜使用以铝为主要成分的材料。

1 4. 在权利要求 1 2 中，侧墙使用绝缘材料。

1 5. 在权利要求 1 2 中，金属布线膜使用以铝为主要成分的布线材料，侧墙的形成是由 C V D 法形成氮化硅膜之后，由各向异性的 R I E 法有选择地蚀刻去除氮化硅膜来进行的。

1 6. 在权利要求 1 2 中，层间绝缘膜使用 P S G 膜。

1 7. 由权利要求 1 2 所述制造方法所形成的半导体器件。

1 8. 本发明涉及的在具有 P N 结的半导体衬底上形成多层布线的半导体器件的制造方法，其特征在于：

在半导体衬底上形成具有 P N 结的半导体器件的工序；

在半导体衬底上形成第一层布线膜的工序；

用与上述布线膜不同的材料形成复盖上述布线膜的第二层膜的工序；

对上述第二层膜进行蚀刻，在上述布线膜的侧壁形成侧墙的工序；

形成复盖上述第一层布线膜和侧墙的第三层层间绝缘膜的工序；

在上述层间绝缘膜上形成引线孔的工序；

在具有上述引线孔的层间绝缘膜上形成第四层布线膜的工序。

19. 在权利要求18中, 形成侧墙所用的蚀刻工序采用R I E (Reaction Ion Etching 反应性离子蚀刻) 各向异性蚀刻法。

20. 在权利要求18中, 其特征为第二层膜使用由绝缘材料构成的膜, 该绝缘材料由C V D (Chemical Vapor Deposition) 法形成, 侧墙的形成是对上述C V D法形成的绝缘膜用各向异性的蚀刻法进行蚀刻而成的。

21. 在权利要求18中, 第一层布线膜使用以铝为主要成分的布线材料, 第二层膜以氮化硅为材料, 用C V D法形成该材料, 侧墙的形成使用R I E法的蚀刻工艺进行。

22. 在权利要求18中, 在半导体衬底上形成具有P N结的半导体器件的工艺, 是在硅基板上形成具有栅极的M I S集成电路。

23. 在权利要求18中, 在半导体基板上形成具有P N结的半导体器件的工艺, 是在硅基板上形成具有栅极的L D D构造的M I S集成电路。

24. 由权利要求18所述的制造工艺形成的半导体器件。

半导体器件及其制造方法

本发明涉及半导体装置及其制造方法，特别是涉及多层布线的平坦化以及防止布线层出现小丘、断线现象，从而提高其可靠性的半导体装置及其制造方法。

随着半导体器件的高集成度、高速化，连接集成电路内各元器件的布线层正向多层化发展。另一方面随着器件的微型化，布线的幅度尺寸也越来越小。这就导致布线的厚度与宽度之比增大，布线层的侧面的台阶也变得愈加陡峭。特别是下层布线的侧壁坡度更为陡直，该层上方形成的上层布线层的被复性能变坏而产生断裂或者在上层布线时在台阶拐角处产生蚀刻不净等缺陷，成为降低布线可靠性的原因。

因此，人们试图改善布线层的平坦度，例如提出了图5所示的构造。该构造中在铝布线层1上用等离子体CVD (Chemical Vapor Deposition) 法薄薄地形成二氧化硅膜2，然后在其上涂布形成SOG (spin on glass) 膜3，进而在其上形成PSG (磷硅玻璃) 膜4作为层间绝缘膜。由于这样的构成，SOG膜3在涂布时会由其自身的粘性而滞留在布线层1的侧壁并使该处呈斜坡状从而消除了布线层1侧壁的台阶突变，也就能够防止台阶处上层面的布线层5出现断线或蚀刻不净的现象。

但是，在这种构造中，SOG膜3容易产生剥落和膨胀而使上层铝布线层5产生断线或浮起，可靠性仍难以保证。此外由于SOG膜3必需在约450度高温下作退火处理，这使铝布线层1容易产生异常析出的小丘。

关于多层布线的平坦化问题，在时事新闻社（press journal）发行的杂志《半导体世界》（Semiconductor World）1984年10月号的116~137页登载了包含上述图5构造在内的各种构造。

本发明的目的在于提供高可靠性的半导体器件。

本发明的目的还在于提供易于制造而且具有高可靠性的布线结构的半导体器件的制造方法。

进一步说，本发明的目的在于提供能够不用SOG膜就能实现布线层的平坦化并由此能防止上层布线层断线、蚀刻不净，下层布线层产生异常析出小丘的半导体器件及其制造方法。

本发明的上述目的和新的特征通过本文的详细说明及参照附图便可以明白。

本专利申请所公开的发明中代表性的内容概要可简单说明如下。

即在下层金属布线层的侧面形成由绝缘材料构成的一个侧墙，利用该侧墙的表面呈斜坡状的特性得以缓和下层布线层侧面的台阶突变，从而防止上层布线层的断线、蚀刻不净以及下层布线的异常析出小丘，能够得到高可靠性的多层布线构造。

本发明的上述和其它目的以及新特点，参照附图，在下面叙述中将很清楚，其中：

图1为本发明实施例之一的半导体集成电路的断面图。

图2A及图2B为详细说明图1所示半导体集成电路的制造方法，特别是其侧墙的形成过程的断面图。

图3所示的是将本发明用于CMOS（Complementary Metal Oxide Semiconductor）型半导体集成电路的实施例之断面图。

图4 A~图4 K为图3的CMOS集成电路制造工序的断面图。

图5为传统构造的半导体器件的断面图。

实施例1

图1为本发明的实施例之一，是本发明适用于由铝布线层构成的多层布线结构的实例。

图中11为硅衬底等半导体器件衬底10上形成的PSG绝缘膜，在其上按规定布线图形成第一层即最下层的铝布线12，接着在第一布线层12的两侧部形成合为一体的由氮化硅构成的侧墙13、13，从而在第一层铝布线层12的两侧形成斜坡。该侧墙13如后所述由CVD法淀积，再用各向异性很强的蚀刻法进行蚀刻而形成。然后、在第一层铝布线层12上面形成PSG (Phospho — Silicate Glass) 膜14，在其上按布线图形成作为上层布线层的第二层铝布线层15。

下面以上述的侧墙13的形成方法为主来说明实施例的半导体器件的制造方法。

如图2 A所示在形成第一层铝布线层12后，用常温或低温等离子CVD法整个地淀积一层氮化硅膜13A，其厚度与布线层12大致相同。接下来如图2 B所示用各向异性很强的蚀刻法、例如RIE (Reactive Ion Etching) 法对整个表面进行蚀刻，则除第一铝布线层12两侧的部分外，氮化硅膜13A被蚀刻掉而只有第一铝布线层12的两侧的膜13A残留下来形成了侧墙13、13。该侧墙13、13具有平缓变化的曲面斜坡形状。这样第一铝布线层12两侧的台阶突变得得到实质缓和。这一过程中由于氮化硅膜与PSG膜的蚀刻选择比很大 (即氮化硅膜被蚀刻而PSG膜却不会被蚀刻)，因此绝缘膜11不会被蚀刻而氮化硅膜13A被有效地蚀

刻。

因此，这样构成的多层布线结构中，第1铝布线层12两侧的突变由侧墙13，13而得以缓和，台阶突变得以避免，其上形成的PSG膜14的表面也因此而变得近似于平坦的平滑状态。因而在形成第二铝布线层15时，对应于第一铝布线层12两侧部位的被复性能得到改善，不会发生断线，在形成第二铝布线层15的图形时也不会发生蚀刻不净的现象。

还有，在这种结构中由于没有使用SOG膜，在形成侧墙13，13和PSG膜14时不需要用高温作退火处理，而且用CVD法形成氮化硅膜13A时的热处理温度控制在约200℃左右，因而在第一铝布线层12的表面不会产生异常析出的小丘。而且更不用说，由于不使用SOG膜，层间绝缘膜的剥落和膨胀现象也不会交生从而防止了第二铝布线层15的断线和浮起。

实施例2

图3是本发明用于CMOS集成电路的实施例。在由N沟道MOS场效应管101和P沟道MOS场效应管102构成的CMOS集成电路中，N沟道MOS场效应管101采用LDD(Lightly Doped Drain 轻掺杂漏区)构造，P沟道MOS场效应管102中采用了能减低短沟道效应，提高漏极击穿电压的构造。N沟道MOS场效应管101是在由N⁻型单晶硅构成的半导体衬底103上的P型井104内形成的。它由以下几部分即多晶硅膜形成的栅极105氧化硅膜形成的栅极绝缘膜118、以及利用设在栅极105两侧的侧墙隔离体106形成的LDD构造的源、漏区107所构成。LDD构造的源漏区107是由在偏离栅极105处形成的高掺杂浓度的N⁺型半导体层108和与之相接且延伸至栅极105下方的低掺杂

浓度的N型半导体层109所构成。在本例中 N^+ 型半导体层108掺杂元素为砷(As)，N型半导体层109掺杂元素为磷(P)。此外在栅极105下方即沟道110的表面用离子注入法扩硼(B)用来调整阈值电压。(图中未示出)

另一方面、P沟道MOS场效应管102是在衬底103上的 N^- 型井111内形成的，它由高浓度掺入N型受质的多晶硅栅极112、栅绝缘膜118以及 P^+ 型源、漏区113所构成。源、漏区113在偏离上述栅极112处形成，即113的边缘不在栅极112的下方。源、漏区113分别与栅极112下方的沟道114表面形成的由P型半导体区构成的沟道层115相接。沟道层115是在上述N沟道MOS管进行调整阈值电压离子注入的同时引入硼的，其掺杂浓度较低。而源、漏区113则高浓度掺入同样杂质硼而形成。注意区域115比起区域113来掺杂浓度要低，且结深度也浅。116是栅极112两侧形成的侧墙隔离体。

图中117为 SiO_2 绝缘膜，119为PSG材料形成的层间绝缘膜，120为铝引线。

在这种结构的CMOS器件中，对于N沟道MOS场效应管101，由于源、漏区107采用LDD构造，其低掺杂浓度的半导体层109使电场缓慢变化，而高掺杂浓度的半导体层108可降低电阻率，由此、可达到提高漏极结(漏区与井间的PN结)的击穿电压并减低短沟道效应的效果。

P沟道MOS场效应管102由P型沟道115和与它同一导电类型且具有偏移结构的 P^+ 型源、漏区113连接为一体而构成。

沟道层115的一部分起着与N沟道MOS场效应管的区域109同样的作用，使漏极区113所形成的结附近的电场强度迟缓变动，

即这种构造可以看作是一种LDD构造。因而能够提高漏极结的耐压而且还可以抑制热载流子的产生。

由于有沟道层115,使得高掺杂浓度的源、漏区113的边界可以不必扩散延伸至栅极112之下,从而可以减低短沟道效应,而且还可以减小密勒效应的电容量。

由于源、漏区113不必做在栅极112之下,因而可以作成高掺杂浓度从而降低其电阻率。

P沟道MOS场效应管102的沟道主要由沟道层115和井111的接合部形成而成为所谓埋入沟道。这种场合下,由于栅极112与沟道114的功函数之差 ϕ_{ms} 的作用,MOS场效应管102不是耗尽型的而是增强型的。因此一方面在栅极112中高浓度掺入N型杂质例如磷(P)而使其方块电阻达到十几欧姆/口~二十几欧姆/口,另一方面浅浅地形成一个N型沟道层115。这种埋入沟道可以得到很高的载流子迁移率。此外由于栅极112与沟道间的距离较大,热载流子难以受到栅极112的电场的影响,因而热载流子不会注入栅绝缘膜118中。进而,由于漏结不在栅极112下面得以使该处电场强度被迟缓。

MOS场效应管102由于具有埋入沟道以及与栅极偏移错开构造的源、漏区,因而很容易地获得了上述的效果。

而N沟道MOS场效应管101本来就能够做到O沟道MOS管102那样的短沟道即微细化。因而使得P沟道MOS场效应管和含有它的CMOS等半导体器件得以实现高集成度。

此外,作为栅极112的材料,如果是和高掺杂N型杂质的多晶硅具有相同或近似的功函数的话,也可使用。

下面由图4A~图4K来说明前述图3的CMOS器件的制造方

法。

首先，如图 4 A 那样在杂质浓度为 4×10^{14} 个原子/厘米³ 的 N 型硅衬底 1 0 3 上形成浓度为 1×10^{16} 个原子/厘米³ 的 P 型井 1 0 4 和浓度为 2×10^{16} /厘米³ 的 N 型井 1 1 1。进而在衬底 1 0 3 的表面用选择性热氧化法形成 SiO₂ 隔离绝缘膜 1 1 7，随后在衬底 1 0 3 表面无隔离绝缘膜 1 1 7 的部分由热氧化法形成栅极绝缘膜 1 1 8。接着在整个面上用离子注入法扩硼，用以调整 N 沟道 MOS 场效应管 1 0 1 的阈值电压。同时由于离子注入，在 N 型井 1 1 1 的表面形成一浓度为 5×10^{16} 个原子/厘米³（剂量为 1×10^{12} 个原子/厘米²）的 P 型沟道层 1 1 5。在本实施例中阈值电压调整和埋入沟道的形成是由一次离子注入同时进行的。而且由于预先形成井 1 1 1，因而井 1 1 1 的杂质浓度与衬底 1 0 3 的杂质浓度无关而独立决定。这样一来离子注入的剂量便易于设定。

其次、有选择地对在整个衬底上用 CVD 法形成多晶硅层进行蚀刻，如图 4 B 所示在栅极绝缘膜 1 1 8 上形成栅极 1 0 5 和 1 1 2。

另一方面，如图 4 C 所示在 N 型井 1 1 1 区域上做一层感光胶膜 1 2 1，然后将栅极 1 0 5 作为屏蔽，用 N 型杂质如磷（P）进行离子注入，从而在 P 型井区 1 0 4 内形成浓度为 1×10^{18} 原子/厘米³（剂量为 1×10^{13} 原子/厘米³）的低杂质浓度的半导体层 1 0 9。

接着，除去感光胶膜 1 2 1，在衬底整个面上用 CVD 法淀积一层 SiO₂ 膜，然后用 RIE（reactive ion etching 反应性离子蚀刻）反应性离子蚀刻法进行各向异性蚀刻，从而如图 4 D 所示在栅极 1 0 5 和 1 1 2 的两侧分别形成侧墙 1 0 6、1 1 6。

然后,如图4 E所示用感光胶膜屏蔽N型井区。在此状态下以栅极1 0 5及其两侧的侧墙1 0 6为屏蔽层用N型杂质如砷(A s)进行离子注入。从而形成浓度为 1×10^{21} 原子/厘米³ (剂量为 1×10^{18} 原子/厘米²)的高杂质浓度的半导体层1 0 8。这样一来,由上面的低掺杂浓度层1 0 9和高掺杂浓度层1 0 8形成LDD构造的源、漏区1 0 7。于是在P型井区1 0 4上完成了具有LDD构造的N沟道MOS场效应管1 0 1。

接下来,如图4 F所示在已完成的N沟道MOS场效应管1 0 1上做一层感光胶膜1 2 3,而以栅极1 1 2及其两侧的侧墙为屏蔽用P型杂质例如硼(B)进行离子注入,浓度为 10^{20} 原子/厘米³ (剂量为 2×10^{15} 原子/厘米²)是较高的浓度。区域1 1 3的边缘扩散到侧墙1 1 6的中间位置为止。这样如图4 G所示在偏离栅极1 1 2的位置形成与前述沟道层1 1 5相连的源、漏区1 1 3。至此P沟道MOS场效应管1 0 2便作完了。

接着如图4 H所示形成PSG膜1 1 9作为层间绝缘膜。在此膜上开口形成引线孔后用溅射法在孔内淀积铝膜,然后按布线图形成铝布线层1 2 0。

如图4 I所示在形成第一层铝布线层1 2 0后,用常温或低温等离子CVD法在整个面上淀积氮化硅形成与铝布线层1 2 0厚度大致相同的氮化硅膜1 3 0 A。接着如图4 J所示,用各向异性蚀刻法例如RIE法进行蚀刻,结果除第一铝布线1 2 0两侧部分外其余氮化硅膜1 3 0 A均被去除,而仅有第一铝布线层1 2 0两侧部分的氮化硅膜1 3 0 A残存下来形成侧墙1 3 0,且具有缓变曲面的斜坡形状。由此,第一铝布线层1 2 0两侧的台阶突变得以缓和。在本例中由于PSG膜与氮化硅膜的蚀刻选择比较大(即氮化硅膜被蚀刻掉而

P S G膜却几乎不被蚀刻)，因而绝缘膜1 1 9不会蚀刻掉而氮化硅膜1 1 3 A能有效地加以蚀刻。

因此，这样构成的多层布线结构中由于侧墙1 3 0缓和了第一铝布线层1 2 0两侧的陡峭台阶突变，从而使其上所形成的P S G膜1 3 1的表面如图4 K所示也呈现近于平坦的平滑状态。其次如图3所示，在形成第二层铝布线层1 3 2时，在第一铝布线层1 2 0两侧部位的被复性能得以改善，不会产生断裂，而且在形成第二布线层布线图案时也不会产生蚀刻不净的现象。

此外，这种结构由于没有用S O G膜，因而在形成侧墙1 3 0和P S G膜1 3 1时不需要作高温退火处理。其热处理温度在C V D法中约为2 0 0℃左右，因而在第一铝布线层1 2 0的表面不会产生异常析出小丘。还是由于没有用S O G膜，也就不会产生剥落和膨胀，且不用说也防止了第二铝布线层1 3 2的浮起和断线现象。

以下，列出本发明所取得的效果。

由于在下层金属布线层的侧面形成绝缘材料侧墙，使布线层侧面的倾斜变得平缓，从而使表面平坦化，在它上面的绝缘膜上形成的上层金属布线层的被复性得以提高，同时在形成上层金属布线层时的蚀刻不干净现象得以防止，从而得以提高上层金属布线层的可靠性。

由于不使用S O G膜，故不需作高温退火处理，从而使金属布线层，特别是下层的铝布线层不会产生异常析出小丘，因而得以提高下层金属布线层的可靠性。

由于不使用S O G膜作为层间绝缘膜，故不会产生剥离和膨胀，从而特别是防止上层金属布线层的浮起和断线。

由于侧墙可由C V D法的膜淀积工序和各向异性的蚀刻工序形成，故工序数极少，从而得以简化多层布线结构的制造工艺。

以上基于实施例具体说明了本发明的内容。勿庸讳言，本发明并不局限于上述实施例，在不超出本发明要旨的范围内是可以作种种变更的。

例如，适当选择蚀刻气体条件也可以将由等离子CVD法形成的 SiO_2 或PSG用于形成侧墙。另外，只要上下层材料的蚀刻选择比取得较大，也可以使用上述以外的其它材料。进而，上下层各金属布线层也可以使用铝以外的其它材料。

以上说明是就本发明用于2层布线结构的半导体器件进行说明的。然而本发明并不局限于此，它也适用于具有3层或3层以上的多层布线结构的半导体器件。

进一步说，上述CMOS集成电路的制造与传统的制造方法相比要更为容易。即沟道层115的形成可以在为调整MOS场效应管的阈值电压而注入具有相反导电类型的杂质这一工序进行。侧墙也可以和用于LDD构造的部件在同一工序中形成。由于是在比衬底103具有更高杂质浓度的井区111内设置沟道层，因而与形成埋入沟道的沟道层具有相反导电类型的杂质注入工序就可以不要。通过控制井111的杂质浓度就可以决定MOS管102的特性。

本发明除前述之外还可以获得如下效果。

MOS场效应管的源、漏区对栅极具有偏移结构且与同一导电类型的沟道层连结而成。这种结构使沟道层的一部分可以起到迟缓电场的作用，而且高杂质浓度的源、漏区可降低电阻率。由此可以得到高耐压、高速度、短沟道效应小的MOS场效应管。

即使沟道层与源、漏区由同样掺杂材料构成，也能达到与LDD结构大致相同的耐压、高速、减小短沟道效应的效果。因此能够实现P沟道MOS场效应管的微细化以及含有此类P沟道管的半导体器件

的高集成度。

将含LDD结构的N沟道MOS场效应管的CMOS集成电路的部分工序原封不动地加以利用就能获得含有本发明所示结构的场效应管的CMOS集成电路。这就使制造得以极容易地进行。

以上基于实施例对本发明进行了具体说明。本发明并不只限于上述实施例，在不脱离本发明要旨的范围内是可以作种种变更的。

例如，本发明也适用于在P⁻型衬底或井上构成的N沟道MOS场效应管。形成低杂质浓度的N型沟道层和利用栅极、侧墙的自对准形成的高杂质浓度的N型源、漏区。此外也可以使用砷(As)、磷(P)(同时或分别使用)作为掺杂物。需要注意的是，对于具有埋入沟道的增强型N沟道MOS场效应管，由高浓度P型杂质(硼)掺杂的多晶硅构成栅极，或由与此具有相同或相近功函数的材料构成栅极是十分重要的。

图4A所示的离子注入也可以分两次进行。即用于形成MOS管的沟道区115的离子注入和用于调整阈值电压的离子注入可以分别进行。这样注入杂质的量可以分别取最佳值进行。

与衬底103同一导电类型的井区111可以省去。特别在如上所述的将图4A所示的离子注入分两次进行时井区111可以省去。

沟道区115可以离开衬底主面而形成。由栅极的功函数在衬底主面上形成的耗尽层可以处于包含沟道区115的状态。在这种情况下MOS场效应成为增强型的。

当高杂质浓度半导体区构成的源、漏区偏离栅极而形成时，那么在用离子注入法时可以用侧墙隔离作为屏蔽而采用其它方法例如由感光胶膜作为屏蔽来形成源、漏区。

在形成埋入沟道的增强型MOS场效应管时所需的栅极可以是

polycide (多元) 构造的。即可以使用由掺硼或磷的多晶硅层和在其上的高熔点金属 (Mo、W、Ta、Ti) 的硅化物层所构成的栅极。甚至也可以在上述多晶硅层上形成一层上述高熔点金属层来构成栅极。

此外，用 CVD 法的 SiO_2 膜来形成侧墙时，在侧墙形成后在 O_2 氛围下进行热处理可以改善侧墙的膜质，减少热载流子阱。

以上就本发明在 CMOS 器件中的应用对本发明进行了说明。但是本发明并不局限于以上的实施例。

例如，本发明可以被应用在只由 P 沟道 MOS 场效应晶体管或 N 沟道 MOS 场效应晶体管构成的集成电路中。

当本发明应用于 CMOS 集成电路时，N 沟道 MOS 场效应晶体管不需采用 LDD 结构。而且本发明可应用于 N 沟道 MOS 场效应晶体管或 CMOS 集成电路中的 N 沟道和 P 沟道 MOS 场效应晶体管。

图 1

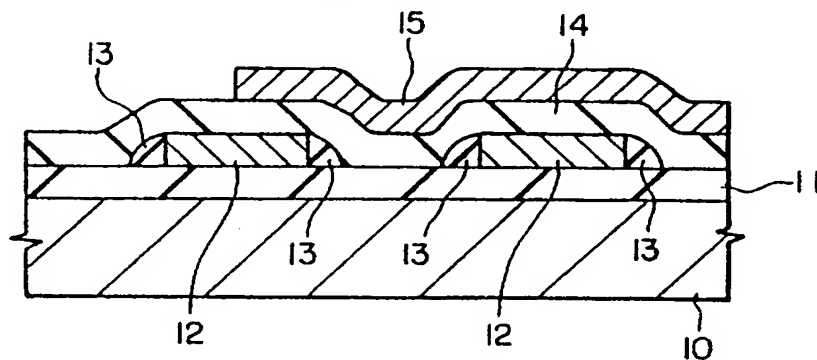


图 2A

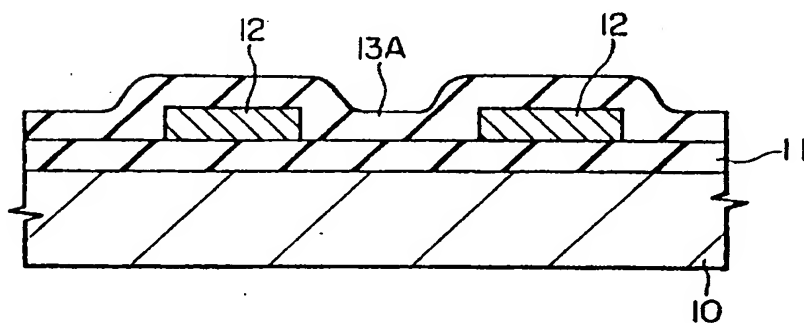


图 2B

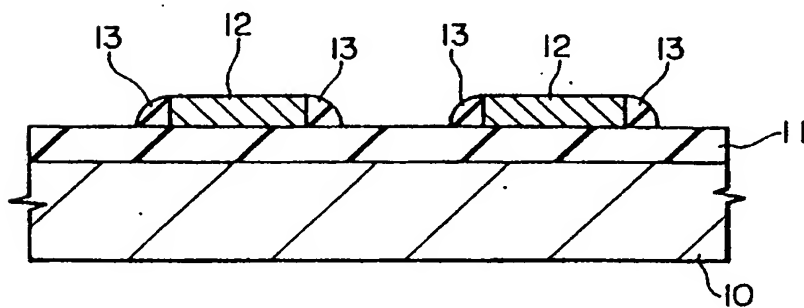


图 3

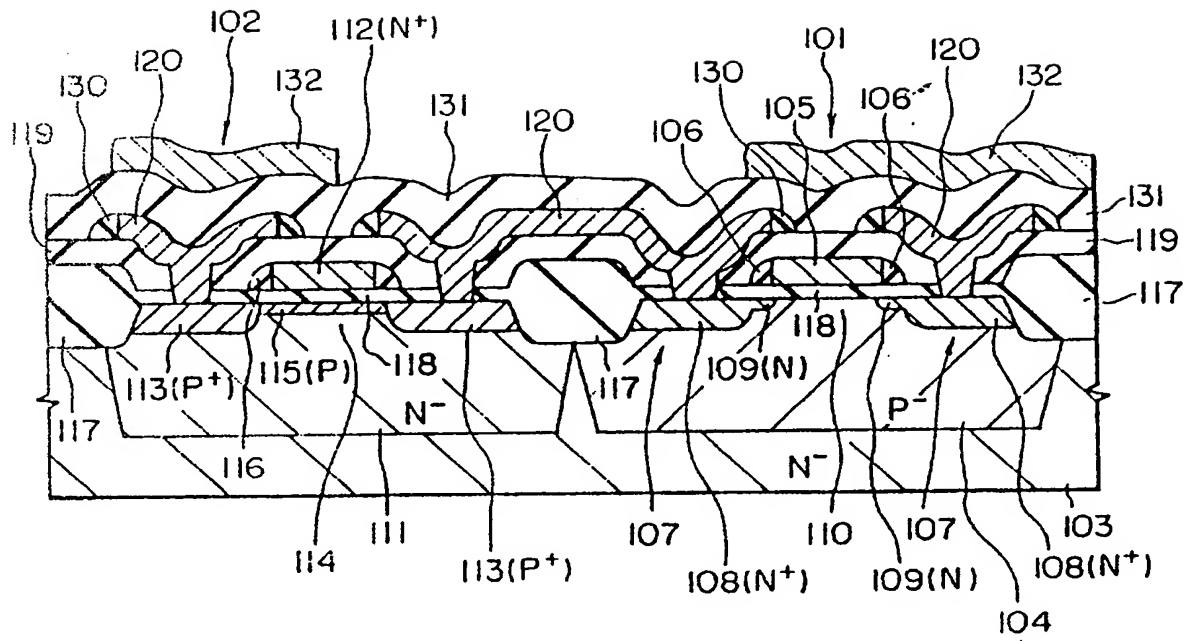


图 4A

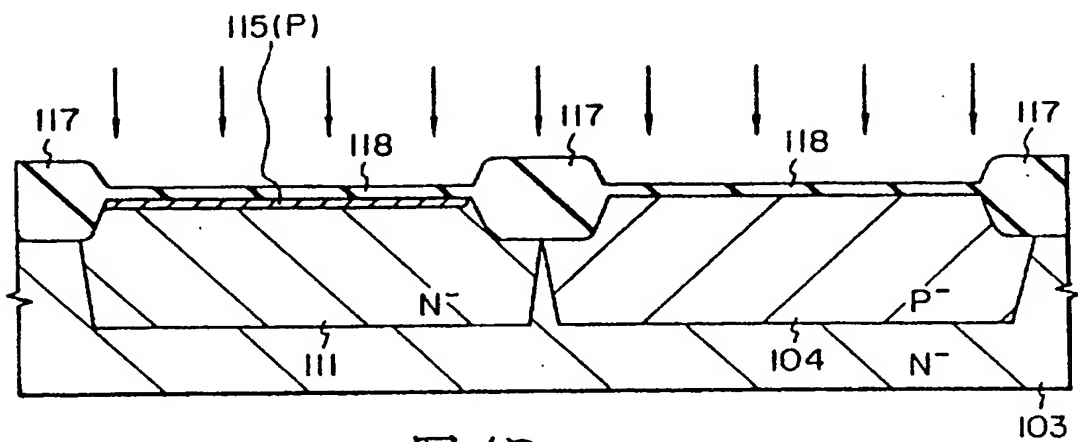


图 4B

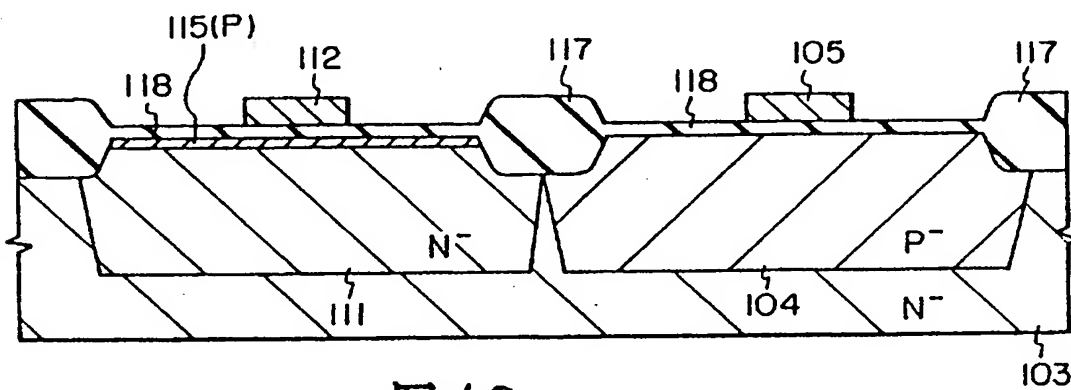


图 4C

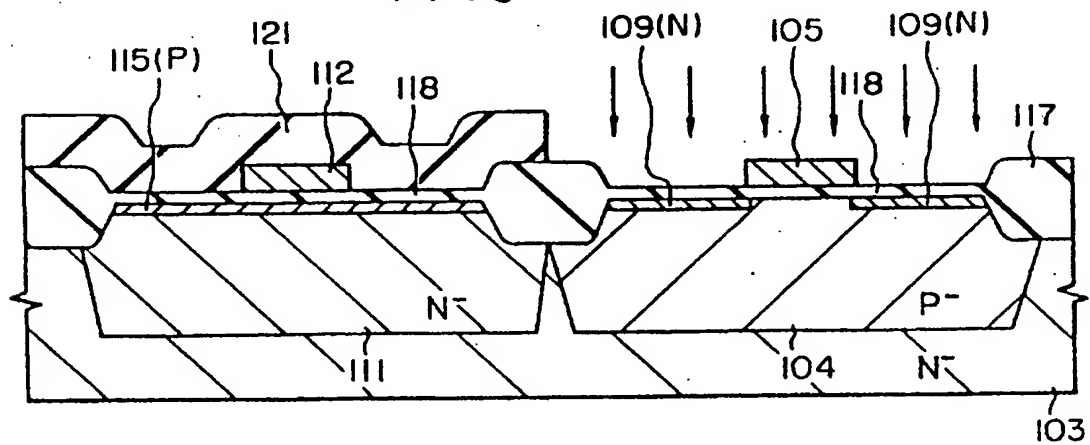


图 4D

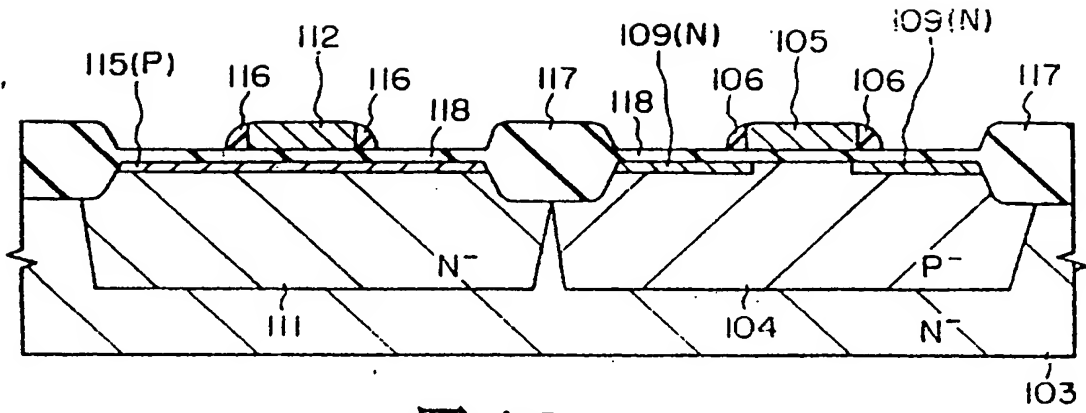


图 4E

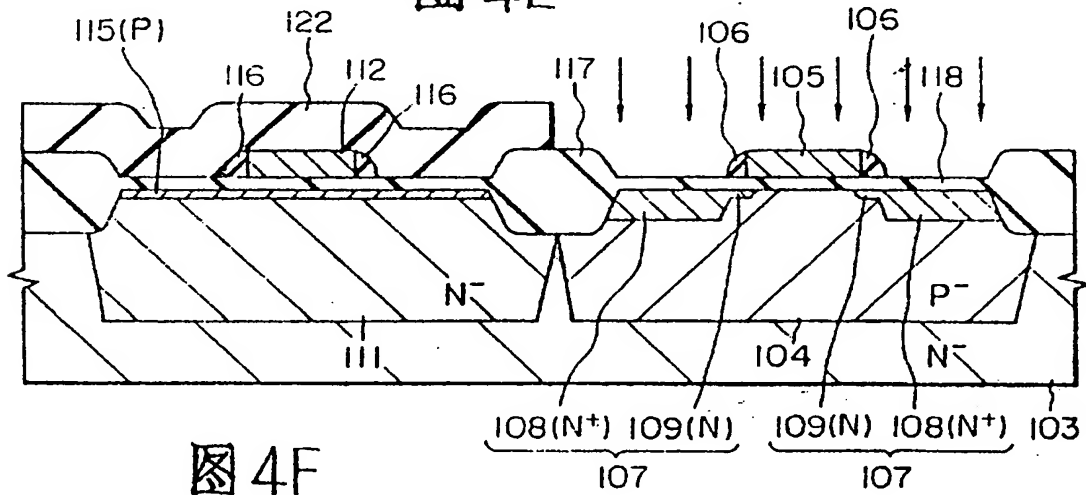


图 4F

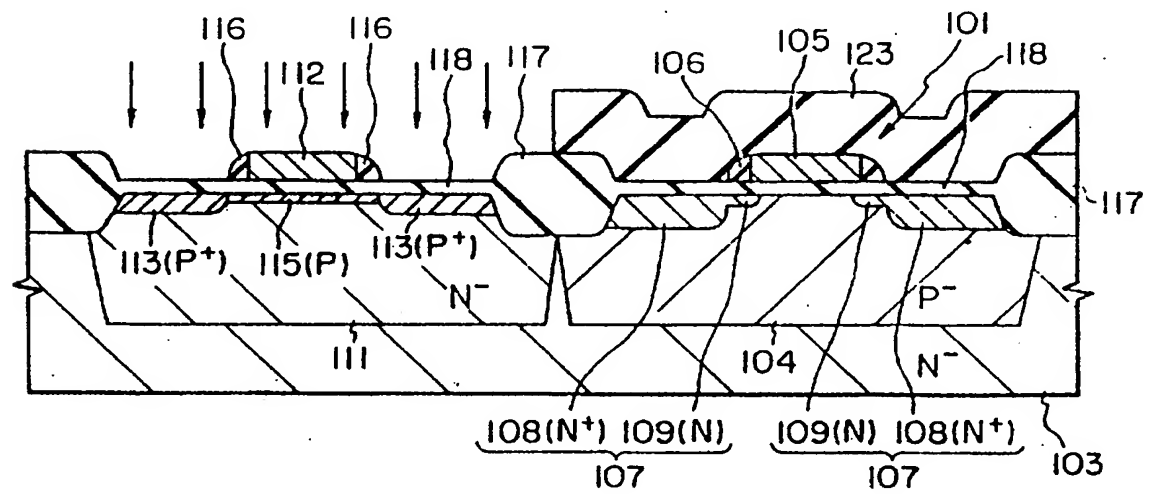


图 4I

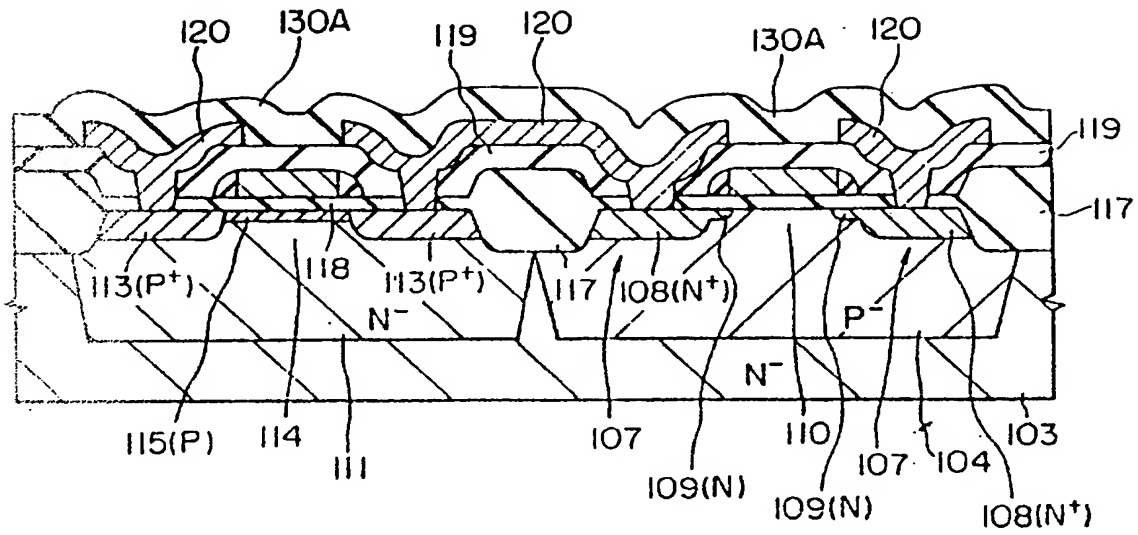


图 4J

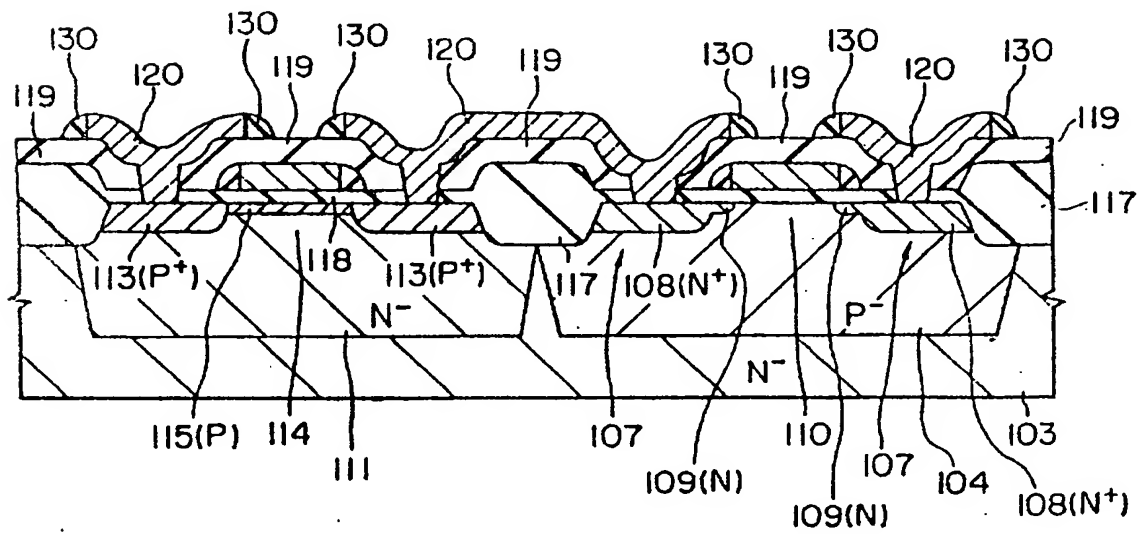


图 4K

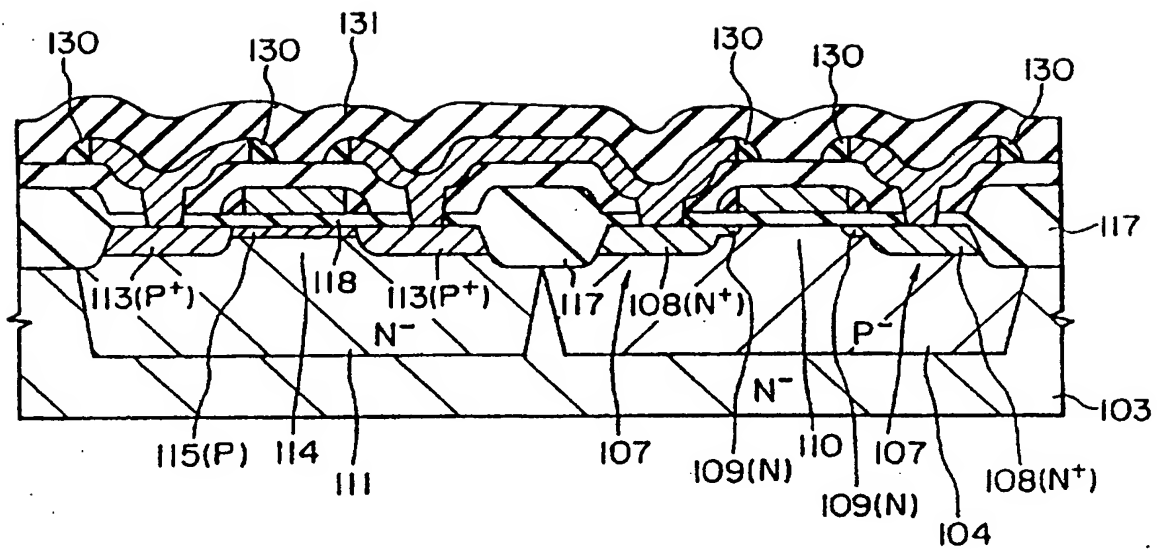


图 5

